

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

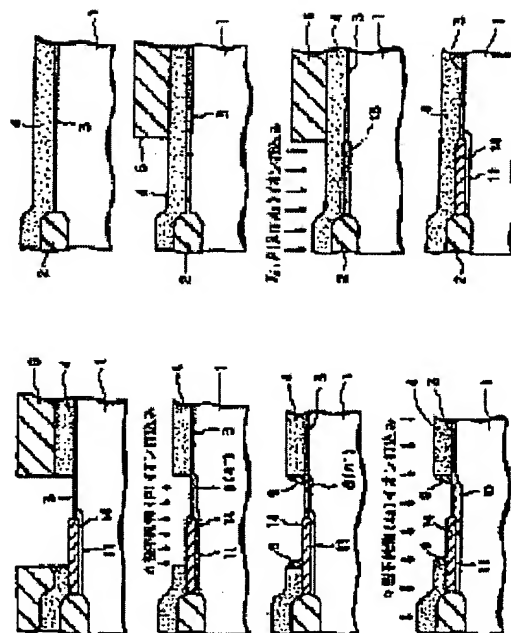
## MANUFACTURE OF MOS SEMICONDUCTOR DEVICE

**Patent number:** JP4162519  
**Publication date:** 1992-06-08  
**Inventor:** YOKOYAMA TAKESHI  
**Applicant:** SONY CORP  
**Classification:**  
 - International: H01L21/28; H01L21/336; H01L27/11; H01L29/784  
 - european:  
**Application number:** JP19900287594 19901024  
**Priority number(s):**

### Abstract of JP4162519

**PURPOSE:** To eliminate a necessity of removing a gate insulating film at a contact part by an etching operation and to avoid an increase in the resistance at the contact part by a method wherein, after a silicon gate electrode has been formed, ions of a reducing metal are implanted into the gate insulating film at the contact part.

**CONSTITUTION:** At least the following are provided: a process to implant ions of a reducing metal into a partial region 13 at a gate insulating film 3 after a silicon gate electrode 4 has been formed wholly on the surface of a semiconductor substrate 1 via the gate insulating film 3; a process to remove the silicon gate electrode 4 from one part of a region 14 into which the ions of the reducing metal have been implanted at least at the gate insulating film 3 to one part outside the region 14 by patterning said silicon gate electrode 4; and a process to form a diffusion region 10 after the surface of the semiconductor substrate 11 has been doped with impurities by making use of said silicon gate electrode 4 as a mask. For example, ions of Ti are implanted by making use of a resist film 6 as a mask; after that, an annealing operation is executed; a gate insulating film 3 is reduced; a conductive TiSixOy film 14 is formed.



⑫ 公開特許公報(A) 平4-162519

⑤ Int.Cl.<sup>5</sup>

H 01 L 21/28  
21/336  
27/11  
29/784

識別記号

K

庁内整理番号

7738-4M

⑬ 公開 平成4年(1992)6月8日

8624-4M  
8422-4M

H 01 L 27/10  
29/78

3 8 1  
3 0 1 P

審査請求 未請求 請求項の数 2 (全7頁)

⑭ 発明の名称 MOS型半導体装置の製造方法

⑰ 特 願 平2-287594

⑱ 出 願 平2(1990)10月24日

⑲ 発 明 者 横 山 武 東京都品川区北品川6丁目7番35号 ソニー株式会社内  
⑳ 出 願 人 ソニー株式会社 東京都品川区北品川6丁目7番35号  
㉑ 代 理 人 弁理士 尾川 秀昭

明 細 書

1. 発明の名称

MOS型半導体装置の製造方法

2. 特許請求の範囲

(1) 半導体基板表面にゲート絶縁膜を介してシリコンゲート電極を全面的に形成した後、上記ゲート絶縁膜の一部領域に還元性金属をイオン打込みする工程と、

上記シリコンゲート電極をパターニングすることにより少なくとも上記ゲート絶縁膜の還元性金属がイオン打込みされた領域の一部から該領域外の一部に渡って該シリコンゲート電極を除去する工程と、

上記シリコンゲート電極をマスクとして半導体基板表面に不純物をドーブして拡散領域を形成する工程と、

を少なくとも有することを特徴とするMOS型半導体装置の製造方法

(2) ゲート絶縁膜の一部領域に還元性金属と共に半導体基板の拡散層と同じ導電型の不純物をイオン打込みする

ことを特徴とする請求項(1)記載のMOS型半導体装置の製造方法

3. 発明の詳細な説明

以下の順序に従って本発明を説明する。

A. 産業上の利用分野

B. 発明の概要

C. 従来技術[第2図]

D. 発明が解決しようとする問題点

E. 問題点を解決するための手段

F. 作用

G. 実施例[第1図]

H. 発明の効果

(A. 産業上の利用分野)

本発明はMOS型半導体装置の製造方法、特にシリコンゲート電極と半導体基板表面部の拡散層

とのコンタクト部を少なくとも有するMOS型半導体装置の製造方法に関する。

(B. 発明の概要)

本発明は、上記のMOS型半導体装置の製造方法において、

コンタクト部のゲート絶縁膜をエッチングにより除去する必要性をなくするため、

シリコンゲート電極の形成後該シリコンゲート電極越しにコンタクト部のゲート絶縁膜に還元性金属をイオン打込みするものである。

(C. 従来技術) [第2図]

MOS型半導体装置にはシリコンゲート電極と半導体基板のソース/ドレイン領域とを電気的に接続するコンタクト部を有するものが少なくなく、スタティックRAMがその好例である。

第2図(A)乃至(I)はそのようなMOS型半導体装置の製造方法の従来例を工程順に示すコンタクト部の断面図である。

5をエッチングする領域は、ゲート絶縁膜3の除去された領域の一部からゲート絶縁膜3が除去されない領域の一部に渡っている。

7はこのエッチングにより半導体基板1に生じたホールである。該ホール7はこのシリコンゲート電極5、4のエッチングの際にレジスト膜6もなくゲート絶縁膜3も存在していないところに必然的に生じてしまうものであり、これが問題となるのであるが、この点については後述する。

(F) レジスト膜6を除去した後、同図(F)に示すように、n型不純物、例えばリンPをイオン打込みによりライトドーピングする。これは各MOSFETをLDD構造にするために行われる。8はこのライトドーピングにより形成されたn<sup>+</sup>型拡散層である。

(G) 次に、サイドウォール形成技術によって同図(G)に示すようにシリコンゲート電極4、5の側面にSiO<sub>2</sub>からなるサイドウォール9を形成する。尚、サイドウォール9は上記ホール7の内周面にも生じてしまう。

(A) 半導体基板1表面を選択的に酸化することによりフィールド絶縁膜2を形成し、その後、半導体基板1の表面を薄く酸化することによりゲート絶縁膜3を形成する。第2図(A)はゲート絶縁膜3形成後の状態を示す。

(B) 次に、シリコンSiのCVD及び選択的エッチングにより同図(B)に示すようにシリコンゲート電極4を形成する。該シリコンゲート電極4はn型不純物がドーピングされることによって良好な導電性を付与されている。

(C) 次に、シリコンゲート電極4をマスクとしてゲート絶縁膜3を選択的にエッチングすることにより同図(C)に示すように半導体基板1を部分的に露出させる。

(D) 次に、同図(D)に示すように、多結晶シリコンからなる第2のシリコンゲート電極5を全面的に形成する。

(E) 次に、同図(E)に示すように、レジスト膜6をマスクとしてシリコンゲート電極5、4を選択的にエッチングする。該シリコンゲート電極

(H) 次に、同図(H)に示すように、ソース/ドレイン領域を形成するためにn型不純物、例えば砒素Asをイオン打込みによりドーピングする。このドーピングの際にマスクとなるのがシリコンゲート電極4、5及びサイドウォール9である。10はこのドーピングにより形成されたn<sup>+</sup>型拡散層である。

(I) その後、活性化のためのアニールを行うと第2図(I)に示す構造になる。11はシリコンゲート電極5中のn型不純物が半導体基板1の表面部へ拡散することにより形成されたn<sup>+</sup>型拡散層である。12はホール7の内周部に生じたn<sup>+</sup>型拡散層である。これはn型不純物の上記ライトドーピング工程においてドーピングされた不純物により生じたもので、それゆえ低濃度(n<sup>+</sup>型)の拡散層となっている。

(D. 発明が解決しようとする問題点)

ところで、第2図に示すような従来のMOS型半導体装置の製造方法によれば、半導体基板1の

表面部にシリコンゲート電極5からの不純物の拡散により形成された拡散層11と、ソース／ドレイン領域10との間がホール7により分断されてしまうという問題があった。勿論、厳密にはホール7の内周部及び底部に拡散層12、10、12が存在しており、これ等拡散層12、10、12により拡散層11・ソース／ドレイン領域10間が電氣的に接続されているが、ホール7の内周部に形成された拡散層12は低不純物濃度であり、抵抗が高くなる。また、抵抗値のバラツキが大きくなる。これは好ましくはなかった。

また、ホール7が生じてしまうので、デバイスの平坦化が妨げられるという問題があった。

本発明はこのような問題点を解決すべく為されたものであり、コンタクト部のゲート絶縁膜をエッチングすることによりホールが生じシリコンゲート電極とこれにコンタクトされるところの半導体基板のソース／ドレイン領域との間の接続抵抗が大きくなることを回避し、更にはデバイスの平坦化が上記ホールにより妨げられることを回避

ることができる。そして、シリコンゲート電極形成のためのパターニングの際還元性金属が半導体基板をマスクとすることになる。従って、ホールが生じなくなるので、ホールによってシリコンゲート電極とソース／ドレイン領域との間が分断される虞れがなくなり、コンタクト部の抵抗が大きくなったり、抵抗に大きなバラツキが生じたりする虞れがなくなるし、デバイスの平坦性が損なわれる虞れもなくなる。

請求項(2)のMOS型半導体装置の製造方法によれば、コンタクト部のゲート絶縁膜に還元性金属と共に導電型の不純物をイオン打込みするので、シリコンゲート電極と半導体基板との間の上記還元性金属を介してのコンタクト部の抵抗をより小さくすることができる。

#### (G. 実施例) [第1図]

以下、本発明MOS型半導体装置の製造方法を図示実施例に従って詳細に説明する。

第1図(A)乃至(H)は本発明MOS型半導

することを目的とする。

#### (E. 問題点を解決するための手段)

請求項(1)のMOS型半導体装置の製造方法は、シリコンゲート電極の形成後該シリコンゲート電極越しにコンタクト部のゲート絶縁膜に還元性金属をイオン打込みすることを特徴とする。

請求項(2)のMOS型半導体装置の製造方法は、請求項(1)のMOS型半導体装置の製造方法において、コンタクト部のゲート絶縁膜に還元性金属と共に半導体基板の拡散層と同じ導電型の不純物をイオン打込みすることを特徴とする。

#### (F. 作用)

請求項(1)のMOS型半導体装置の製造方法によれば、ゲート絶縁膜のコンタクト部にシリコンゲート電極越しに還元性金属をイオン打込みするので、ゲート絶縁膜のコンタクト部を選択的にエッチングすることなくシリコンゲート電極と半導体基板とを還元性金属を介してコンタクトさせ

半導体装置の製造方法の一つの実施例を工程順に示す断面図である。

(A) 半導体基板1の表面部にフィールド絶縁膜2及びゲート絶縁膜3を順次形成した後、シリコンゲート電極4を全面的に形成する。第1図(A)はシリコンゲート電極4形成後の状態を示す。

(B) 次に、同図(B)に示すように、シリコンゲート電極4をレジスト膜6で選択的にマスクする。シリコンゲート電極4をレジスト膜6でマスクしない領域はコンタクト部を形成すべき領域である。

(C) 次に、同図(C)に示すように、上記レジスト膜6をマスクとしてチタンTi及びn型不純物をゲート絶縁膜3の深さのところにイオン打込みする。13はチタンTi及びn型不純物(例えばリンPあるいは砒素As)がイオン打込みされた領域である。

チタンTiをイオン打込みするのは、後のアニール工程でゲート絶縁膜3を還元するためであ

り、 $n$ 型不純物をイオン打込みするのは、コンタクト部の不純物濃度を高めてコンタクト抵抗をより小さくするためである。

尚、本発明において、ゲート絶縁膜を還元する還元性金属をコンタクト部のゲート絶縁膜にイオン打込みすることは不可欠であるが、それと同時に導電性不純物をイオン打込みすることは必ずしも不可欠ではない。

(D) 次に、レジスト膜6を除去し、その後アニールすると、上記チタンTiによってゲート絶縁膜3が還元され第1図(D)に示すようにチタンシリコンオキシサイド $TiSiO_y$ 膜14が形成される。この膜14は導電性を有し、シリコンゲート電極4と半導体基板1の拡散層とをコンタクトさせる役割を充分に果たす。

11は本アニール工程においてシリコンゲート電極4中の $n$ 型不純物が半導体基板1に拡散することにより形成された $n^+$ 型拡散層である。尚、上記のコンタクト部のゲート絶縁膜3にイオン打込みされた $n$ 型不純物、例えばリンPあるいは砒

素Asをドーピングすることによりソース/ドレイン領域10を形成する。

本MOS型半導体装置の製造方法によれば、シリコンゲート電極4形成後コンタクト部のゲート絶縁膜3に還元性金属であるチタンTiをイオン打込みし、その後、アニールするので、そのアニールによってコンタクト部においてゲート絶縁膜3が還元されチタンシリコンオキシサイド $TiSiO_y$ 膜14となり、シリコンゲート電極4と半導体基板1とは該チタンシリコンオキシサイド $TiSiO_y$ 膜14を介して電気的に接続される。

そして、シリコンゲート電極4のエッチングによるパターニングの際にチタンシリコンオキシサイド $TiSiO_y$ 膜14が半導体基板1のエッチングを阻むマスク機能を果たすのでホールが形成される虞れない。従って、ホールによってシリコンゲート電極4とソース/ドレイン領域10との間が分断されるという虞れない。即ち、シリコンゲート電極4とソース/ドレイン領域10との間

素Asは、前でも述べたが該コンタクト部における不純物濃度をより高くしてコンタクト抵抗をより低減する役割を果たす。

(E) 次に、同図(E)に示すように、レジスト膜6をマスクとしてシリコンゲート電極4をエッチングすることによりシリコンゲート電極4のパターニングを行う。ここで、シリコンゲート電極4のコンタクト部での除去は、還元性金属膜14の一部分上からゲート絶縁膜3が存在する部分の一部上に渡る領域において行う。この際にチタンシリコンオキシサイド膜14がエッチングに対するマスクとなりホール(第2図符号7参照)の形成を阻止する。

(F) 次に、同図(F)に示すように、 $n$ 型不純物、例えばリンPをライトドープする。

(G) 次に、同図(G)に示すように $SiO_2$ からなるサイドウォール9を形成する。

(H) その後、同図(H)に示すように、シリコンゲート電極4及びサイドウォール9をマスクとして半導体基板1の表面部に $n$ 型不純物、例えば

はチタンシリコンオキシサイド $TiSiO_y$ 膜14及び $n^+$ 型拡散層11により接続される。従って、その間の抵抗は小さく、抵抗値のバラツキも小さい。また、ホールが生じないのでホールによってデバイスの表面の平坦度が悪くなるという虞れもない。

そして、還元性金属Tiのイオン打込みの際[第1図(C)参照]に、 $n$ 型不純物、即ち拡散層11やソース/ドレイン領域10と同じ導電型の不純物もイオン打込みするのでシリコンゲート電極4と半導体基板1の拡散層11とのコンタクト部における不純物濃度を高くすることができ、コンタクト抵抗を更に低くすることができる。

尚、工程(C)でイオン打込みする金属はゲート絶縁膜3に対して還元ができる性質を有し且つ導電性があるものであればチタンTiに限らない。例えば、ジルコニウムZr、ハフニウムHf等を用いても良い。

(H. 発明の効果)

以上に述べたように、本発明MOS型半導体装置の製造方法は、半導体基板表面にゲート絶縁膜を介してシリコンゲート電極を全面的に形成した後、上記ゲート絶縁膜の一部領域に還元性金属をイオン打込みする工程と、上記シリコンゲート電極をパターニングすることにより少なくとも上記ゲート絶縁膜の還元性金属がイオン打込みされた領域の一部から該領域外の一部に渡って該シリコンゲート電極を除去する工程と、該シリコンゲート電極をマスクとして半導体基板表面に不純物をドーピングして拡散領域を形成する工程と、を少なくとも有することを特徴とするものである。

従って、本発明MOS型半導体装置の製造方法によれば、ゲート絶縁膜のコンタクト部にシリコンゲート電極越しに還元性金属をイオン打込みするので、ゲート絶縁膜のコンタクト部を選択的にエッチングすることなくシリコンゲート電極と半導体基板とを還元性金属を介してコンタクトさせることができる。そして、シリコンゲート電極形成のためのパターニングの際還元性金属が半導体

基板をマスクとして機能することになる。従って、ホールが生じなくなるので、ホールによってシリコンゲート電極とソース/ドレイン領域との間が分断される虞れがなくなり、デバイスの平坦性が損なわれる虞れもなくなる。

請求項(2)のMOS型半導体装置の製造方法は、請求項(1)のMOS型半導体装置の製造方法において、コンタクト部のゲート絶縁膜に還元性金属と共に半導体基板の拡散層と同じ導電型の不純物をイオン打込みすることを特徴とするものである。

従って、請求項(2)のMOS型半導体装置の製造方法によれば、コンタクト部のゲート絶縁膜に還元性金属と共に導電型の不純物をイオン打込みするので、シリコンゲート電極と半導体基板との間の上記還元性金属を介してのコンタクト部の不純物濃度をより高くすることができ、延いてはの抵抗をより小さくすることができる。

#### 4. 図面の簡単な説明

第1図(A)乃至(H)は本発明MOS型半導体装置の製造方法の一つの実施例を工程順に示す断面図、第2図(A)乃至(I)は従来例を工程順に示す断面図である。

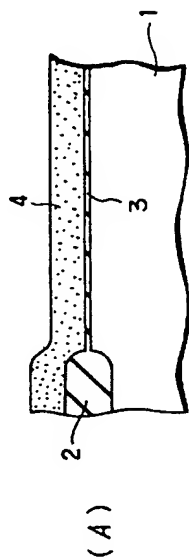
#### 符号の説明

- 1・・・半導体基板、
- 3・・・ゲート絶縁膜、
- 4・・・シリコンゲート電極、
- 10・・・ソース/ドレイン領域、
- 14・・・還元性金属イオン打込み領域。

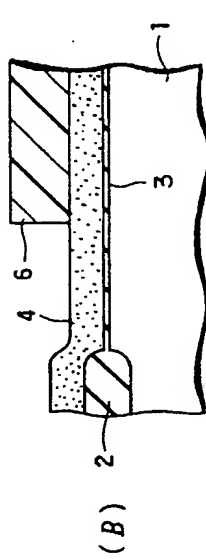
出 願 人      ソニー株式会社  
代理人弁理士      尾 川 秀 昭



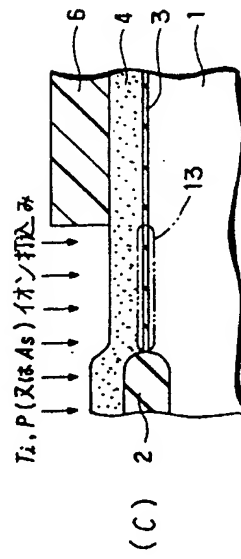
1... 半導体基板  
3... ゲート絶縁膜  
4... シリコンゲート電極  
13, 14... 還元性金属イオン  
打込み領域



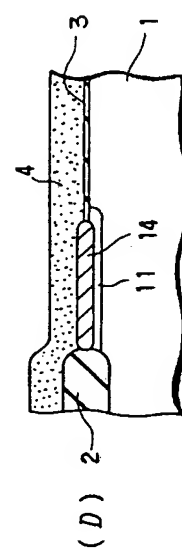
(A)



(B)



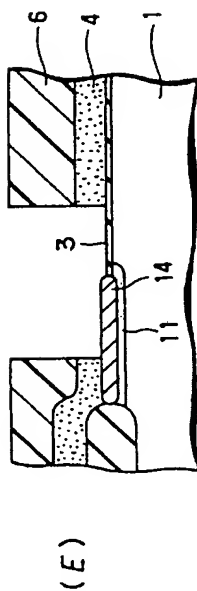
(C)



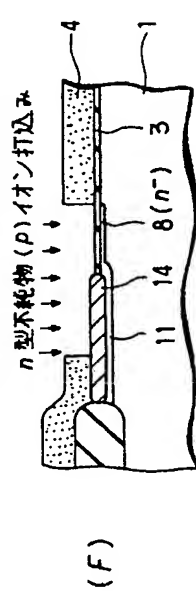
(D)

実施例を示す断面図  
第1図

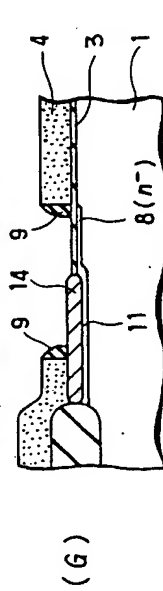
1... 半導体基板  
3... ゲート絶縁膜  
4... シリコンゲート電極  
10... 拡散層  
14... 還元性金属イオン  
打込み領域



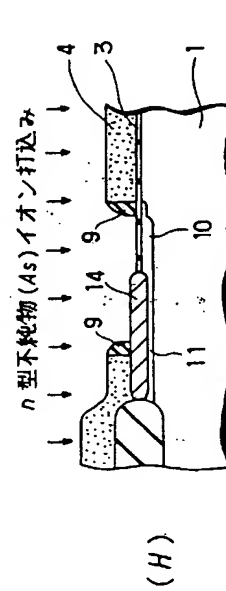
(E)



(F)



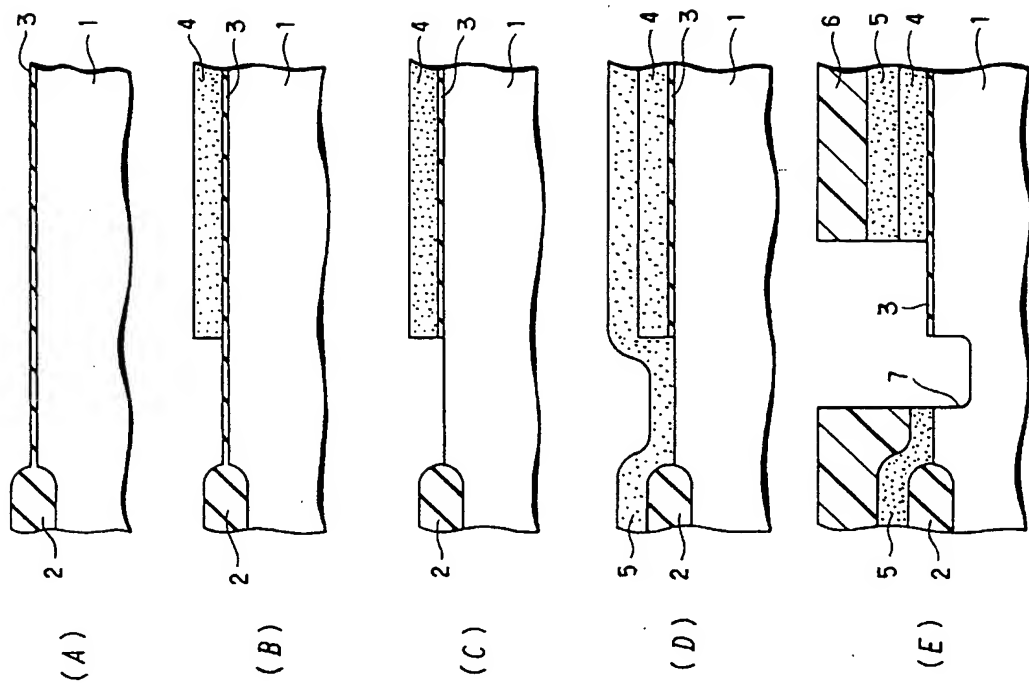
(G)



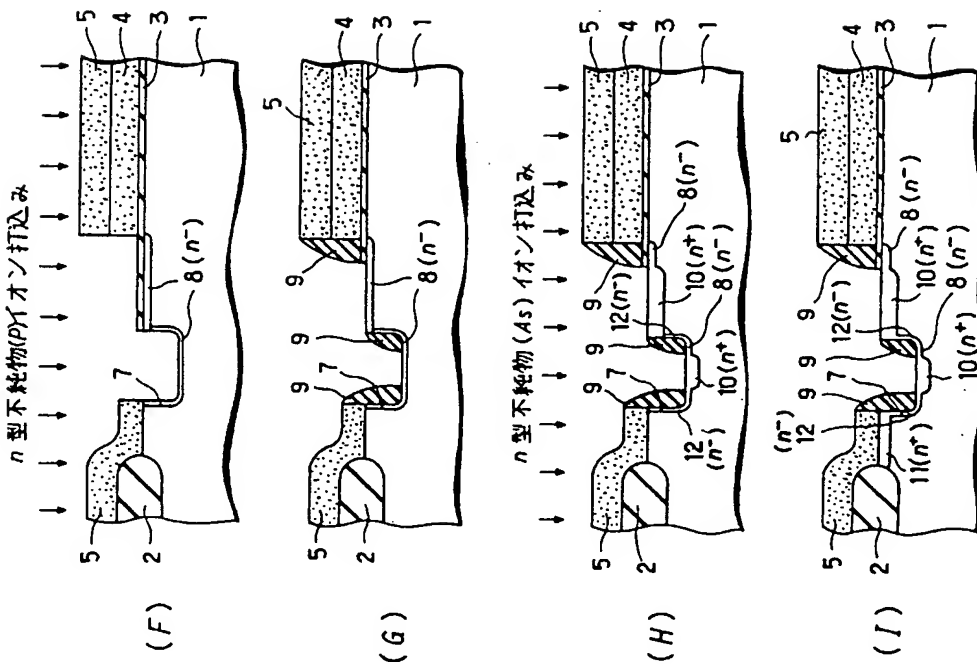
(H)

実施例を工程順に示す断面図  
第1図





従来例を工程順に示す断面図  
第2図



従来例を工程順に示す断面図  
第2図